

PAT-NO: JP02004031922A

DOCUMENT-IDENTIFIER: **JP 2004031922 A**

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 29, 2004

INVENTOR-INFORMATION:

NAME	COUNTRY
HASHIZUME, YASUYUKI	N/A
NISHIKAWA, KAZUYASU	N/A
YAMAKAWA, SATOSHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP2003108726

APPL-DATE: April 14, 2003

PRIORITY-DATA: 2002135267 (May 10, 2002)

INT-CL (IPC): H01L021/822, H01F017/00 , H01L021/3205 , H01L021/8234
, H01L027/04 , H01L027/06

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device which lowers a resistance value in a shield layer while reducing a parasitic capacitance between inductor and-shield layers.

SOLUTION: A metallic wiring 5, which is at a **ground** potential GND, is

provided between the **shield layer** 3 on the surface of a semiconductor substrate

1 and an **inductor** 8 formed with a **spiral** metallic wiring while the metallic wiring 5 is connected to the **shield layer** 3 to lower a resistance value in the **shield layer** while reducing the parasitic capacitance between the **inductor** and

shield layers. A plurality of cut lines, crossing the inductor 8, are provided on the outer peripheral part of the **shield layer** 3. A plurality of metallic wirings 5 are arranged so as to cross the inductor 8 and are provided so as to correspond to respective regions of the **shield layer** 3 divided by the cut lines. Respective metallic wirings 5 are extended to the central part of the spiral shape and are connected mutually at the central part.

COPYRIGHT: (C)2004,JPO

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-31922

(P2004-31922A)

(43) 公開日 平成16年1月29日(2004.1.29)

(51) Int. Cl.⁷

F1

テーマコード(参考)

H01L 21/822

H01L 27/04

L

5E070

H01F 17/00

H01F 17/00

B

5F033

H01L 21/3205

H01L 27/06

102A

5F038

H01L 21/8234

H01L 21/88

S

5F048

H01L 27/04

審査請求 未請求 請求項の数 15 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2003-108726 (P2003-108726)
 (22) 出願日 平成15年4月14日(2003.4.14)
 (31) 優先権主張番号 特願2002-135267 (P2002-135267)
 (32) 優先日 平成14年5月10日(2002.5.10)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号
 (74) 代理人 100089233
 弁理士 吉田 茂明
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 横詰 靖之
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内
 (72) 発明者 西川 和康
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

最終頁に続く

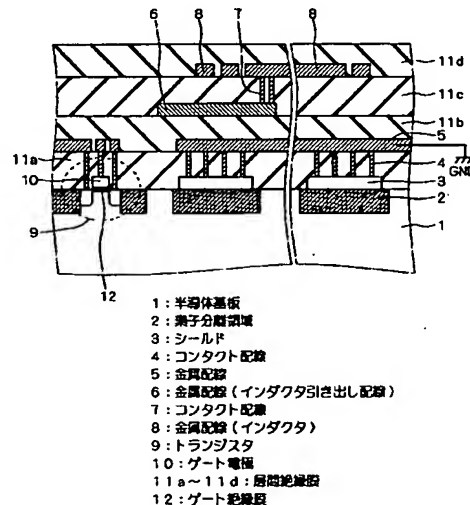
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 インダクタースールド層間の寄生容量を小さくしつつ、シールド層での抵抗値を低く抑えることが可能な半導体装置を提供する。

【解決手段】 半導体基板1表面上のシールド層3と渦巻き状に形成された金属配線からなるインダクタ8との間に、接地電位GNDが与えられた金属配線5を設け、この金属配線5をシールド層3に接続することで、インダクタースールド層間の寄生容量を小さくしつつ、シールド層での抵抗値を低く抑える。シールド層3の外周部には、インダクタ8を横切る複数の切れ目が設けられる。複数の金属配線5もそれぞれ、インダクタ8を横切るよう配置され、切れ目で区分されたシールド層3の各領域に対応して設けられる。各金属配線5は渦巻きの中央部にまで延在し、中央部において互いに接続される。

【選択図】 図2



【特許請求の範囲】

【請求項1】

主表面を有する半導体基板と、
前記半導体基板の前記主表面の上方に形成された配線からなるインダクタと、
前記半導体基板と前記インダクタとの間に形成され、その外周部に前記インダクタを横切る少なくとも1つの切れ目が設けられたシールド層と、
前記切れ目で区分された前記シールド層の各領域に対応して設けられた少なくとも一つの配線と
を備え、
前記少なくとも一つの配線には所定の電位が与えられ、
前記少なくとも一つの配線はそれぞれ対応する前記シールド層の各領域に電氣的に接続され、
前記少なくとも一つの配線の比抵抗は前記シールド層の比抵抗よりも小さく、
前記少なくとも一つの配線は前記シールド層と前記インダクタとの間に配置され、かつ、
前記インダクタを横切るよう配置された
半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、
前記半導体基板の前記主表面上に形成され、ゲート電極、ゲート絶縁膜およびソース／ド
レイン領域を有するMIS (Metal Insulator Semiconductor) トランジスタ
をさらに備え、
前記シールド層と前記ゲート電極とは同じ材質である
半導体装置。

【請求項3】

請求項1に記載の半導体装置であって、
前記半導体基板の前記主表面内に形成された素子分離領域
をさらに備え、
前記シールド層は前記素子分離領域上に形成された
半導体装置。

【請求項4】

請求項3に記載の半導体装置であって、
前記シールド層下の前記素子分離領域は、互いに離隔した複数の部分領域から成り立っており、
前記半導体基板の前記主表面のうち、前記素子分離領域の前記複数の部分領域間の区切れ
目部分上に形成された絶縁膜
をさらに備える半導体装置。

【請求項5】

請求項4に記載の半導体装置であって、
前記半導体基板の前記主表面上に形成され、ゲート電極、ゲート絶縁膜およびソース／ド
レイン領域を有する複数のMIS (Metal Insulator Semiconductor) トランジスタ
をさらに備え、
前記複数のMIS トランジスタ間で前記ゲート絶縁膜の厚さは異なっており、
前記複数の部分領域間の区切れ目部分上に形成された前記絶縁膜の厚さは、前記複数のM
IS トランジスタの前記ゲート絶縁膜のうち最も厚いものと同じ厚さである
半導体装置。

【請求項6】

請求項1に記載の半導体装置であって、
前記インダクタの前記配線は、前記半導体基板の前記主表面に平行な面内において渦巻き

状に形成され、
前記渦巻きの中央部には前記インダクタの前記配線は設けられず、
前記中央部下には前記シールド層が設けられない
半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置であって、
前記少なくとも一つの配線は前記渦巻きの中央部下に延在し、
前記渦巻きの中央部下での前記少なくとも一つの配線の幅は、前記インダクタ下での前記
少なくとも一つの配線の幅よりも太い
半導体装置。

10

【請求項 8】

請求項 1 に記載の半導体装置であって、
前記インダクタの前記配線は、前記半導体基板の前記主表面に平行な面内において渦巻き
状に形成され、
前記少なくとも一つの配線は前記渦巻きの中央部下に延在し、
前記少なくとも一つの配線は、複数であって、前記渦巻きの中央部下において互いに接続
された
半導体装置。

【請求項 9】

請求項 1 に記載の半導体装置であって、
前記インダクタの形成面の平面視において、前記少なくとも一つの配線は、対応する前記
シールド層の前記切れ目を前記インダクタに露出させないように覆う半導体装置。

20

【請求項 10】

請求項 1 に記載の半導体装置であって、
前記インダクタの前記配線は、前記半導体基板の前記主表面に平行な面内において渦巻き
状に形成され、
前記少なくとも一つの配線は前記渦巻きの外周部下に延在し、
前記少なくとも一つの配線は、複数であって、前記渦巻きの外周部下近傍において、少な
くとも一箇所を除いて互いに接続された
半導体装置。

30

【請求項 11】

主表面を有する半導体基板と、
前記半導体基板の前記主表面の上方に形成された配線からなるインダクタと、
前記半導体基板と前記インダクタとの間に形成され、その外周部に前記インダクタを横切
る少なくとも一つの切れ目が設けられた第 1 シールド層と、
前記切れ目内に埋め込まれた絶縁膜と、
前記切れ目に対応して前記絶縁膜上に設けられた少なくとも一つの第 2 シールド層と
を備え、
前記第 1 及び第 2 シールド層は電氣的に接続され、そのいずれにも所定の電位が与えられ
、
前記インダクタの形成面の平面視において、前記第 2 シールド層は、前記第 1 シールド層
の前記切れ目を前記インダクタに露出させないように覆う
半導体装置。

40

【請求項 12】

請求項 11 に記載の半導体装置であって、
前記半導体基板の前記主表面上に形成され、下部電極、誘電体膜および上部電極を有する
キャパシタ
をさらに備え、
前記第 1 シールド層と前記下部電極と、及び、前記絶縁膜と前記誘電体膜と、及び、前記
第 2 シールド層と前記上部電極とは、それぞれ同じ材質である

50

半導体装置。

【請求項13】

請求項11に記載の半導体装置であって、
前記半導体基板の前記主表面内に形成された素子分離領域
をさらに備え、
前記第1シールド層は前記素子分離領域上に形成された
半導体装置。

【請求項14】

請求項11に記載の半導体装置であって、
前記インダクタの前記配線は、前記半導体基板の前記主表面に平行な面内において渦巻き 10
状に形成され、
前記第2シールド層は複数であって、前記渦巻きの中央部下に延在し、
前記渦巻きの中央部下において前記複数の第2シールド層は互いに接続された半導体装置

【請求項15】

請求項11に記載の半導体装置であって、
前記第2シールド層は前記渦巻きの外周部下に延在し、
前記第2シールド層は、複数であって、前記渦巻きの外周部下近傍において、少なくとも
一箇所を除いて互いに接続された
半導体装置。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、インダクタを含む半導体装置に関する。

【0002】

【従来の技術】

携帯電話やPDA(Personal Digital Assistance)等の携
帯情報端末、その他、無線LAN(Local Area Network)等における
送受信周波数には、数GHz帯の電波が採用されている。

【0003】

数GHz帯の電波を送受信するための半導体装置には従来、高周波送受信に適した特性を
有するGaAs基板が採用されていた。しかし、近年のSi製CMOS(Complementary Metal Oxide Semiconductor)トランジスタの
特性向上に伴い、Si基板上への高周波送受信回路の形成が行われるようになってきている。
これにより、デジタル回路とアナログ回路とを同一のSi基板上に形成できるようになっ
た。

【0004】

高周波送受信回路には、渦巻状金属配線からなるスパイラルインダクタ等のインダクタが
含まれる。金属配線層を用いて半導体基板上に形成されたインダクタの特性は、図6のよ
うな等価回路で表わされることが知られている。図6において、直列接続されたインダク 40
タンスLおよび抵抗RはインダクタINのインピーダンスを表している。また、並列接続
された静電容量C_{SUB}および抵抗R_{SUB}は半導体基板SUBのインピーダンスを表し
ている。なお、この等価回路では、静電容量C_{SUB}および抵抗R_{SUB}の並列接続は、
インダクタINと半導体基板SUBとの間の寄生容量Cを介しつつ、インダクタンスLお
よび抵抗Rの直列接続の両端それぞれと接地電位GNDとの間に接続された形で表現され
ている。

【0005】

なお、スパイラルインダクタの例として下記特許文献1～4がある。

【0006】

【特許文献1】

特開 2000-22085 号公報

【特許文献 2】

特開 2001-267320 号公報

【特許文献 3】

特開 2001-230375 号公報

【特許文献 4】

特開平 5-235554 号公報

【0007】

【発明が解決しようとする課題】

GaAs 基板の場合は比抵抗が大きいので、図 6 における抵抗 R_{SUB} が大きな値となり、静電容量 C_{SUB} および抵抗 R_{SUB} の並列接続のうち抵抗 R_{SUB} の成分を無視して静電容量 C_{SUB} のみとみなすことができた。従って、図 6 の等価回路の抵抗損失については、インダクタ IN の抵抗 R の分のみを考慮すればよかった。

【0008】

これに対して一般的に CMOS 形成に用いられる Si 基板の場合は、比抵抗が $100 [\Omega \cdot \text{cm}]$ 以下と小さいので、抵抗 R_{SUB} の成分を無視するわけにはいかない。インダクタ IN に与える信号の周波数が高くなれば、寄生容量 C を介してインダクタ IN から半導体基板 SUB に流れる電流が増加し、抵抗 R_{SUB} において電力が消費されてしまう。この結果、抵抗 R_{SUB} に電流が流れてノイズが生じる、あるいは、半導体装置の消費電力が増加してしまう、等の問題がある。

【0009】

この問題に対しては、抵抗 R_{SUB} の値を大きくして、インダクタ IN からの寄生電流を流れにくくする対策、あるいは、抵抗 R_{SUB} の値を小さくして寄生電流が流れた場合であっても抵抗 R_{SUB} で消費される電力を抑制する対策、等が考えられている。

【0010】

また、接地電位 GND が与えられた導電体たるシールド層をインダクタ IN と半導体基板 SUB との間に設けることで、半導体基板に向かう寄生電流を抑制する対策も考えられている。このシールド層は、半導体基板 SUB に流れようとする寄生電流をトラップして接地電位 GND の方に流すために設けられる。なお、シールド層は、CMOS トランジスタの製造工程に含まれるゲート電極形成プロセスや多層配線形成プロセスにおいて、それら素子や配線と同時に形成される。シールド層の材料には、ゲート電極と同様の材料たる多結晶 Si や、多層配線と同様の材料たる金属が採用される。

【0011】

なお、図 7 は、インダクタ IN と半導体基板 SUB との間にシールド層 SH を設けた場合の等価回路を示す図である。この等価回路では、図 6 の構成に加えてシールド層 SH の抵抗 R_{SHIELD} が加わっている。具体的にはこの等価回路では、抵抗 R_{SHIELD} の一端に接地電位 GND が与えられている。そして、抵抗 R_{SHIELD} の他端には、インダクタ IN とシールド層 SH との間の寄生容量 C_1 を介しつつインダクタンス L および抵抗 R の直列接続の一端が接続され、さらに、半導体基板 SUB とシールド層 SH との間の寄生容量 C_2 を介しつつ静電容量 C_{SUB} および抵抗 R_{SUB} の並列接続の一端が接続されている。

【0012】

上記特許文献 1 には、シールド層を設けることでインダクタ IN からの寄生電流を流れにくくする対策を採用した半導体装置に関する記載がある。図 8 および図 9 は、この半導体装置を示す上面図および断面図である。なお、図 9 は、図 8 中の切断線 I-X-I-X における断面図である。

【0013】

図 8 および図 9 に示すように、この半導体装置においては、半導体基板 100 内に形成された素子分離領域 102 上のうちインダクタ 108 の直下の部分にシールド層 103 が形成されている。シールド層 103 は、不純物濃度の低い多結晶 Si を用いて抵抗値の大き

10

20

30

40

50

な層として形成されている。シールド層103の抵抗値を大きくするのは、図6の等価回路中の抵抗 R_{SUB} を大きくしたのと同様の効果を得るためである。

【0014】

この半導体装置では、シールド層103を半導体基板100の直上に形成している。よって、シールド層103をインダクタINから遠い位置に配置でき、シールド層103の存在が図7の等価回路中の寄生容量 C_1 の値をさほど大きくすることはない。

【0015】

しかしながら、この半導体装置の場合、シールド層103の抵抗値を大きくすると、図7の等価回路中の抵抗 R_{SHIELD} の値が大きくなるので、高周波電流はシールド層103によりトラップされるよりも、むしろ寄生容量 C_2 を介して半導体基板SUBの方に流れてしまいやすい。 10

【0016】

図9の断面図からも明らかなように、シールド層103はインダクタ108とは充分にその距離が離れてはいるものの、半導体基板100とは近接している。そのため、寄生容量 C_2 の値は寄生容量 C_1 の値よりも大きい。よって、寄生容量 C_1 に電流が流れるような動作周波数では、寄生容量 C_2 はより一層の電流を流すと考えられる。

【0017】

したがって、この半導体装置においては、抵抗 R_{SUB} を大きくしたときと同様の、半導体基板側への電流を流れにくくする効果を得ることは難しく、図7の等価回路中の抵抗 R_{SHIELD} もしくは抵抗 R_{SUB} で電力が消費されてしまう。 20

【0018】

なお、図10は上記特許文献1に記載されたシールド層103の形状の例を示す上面図である。このシールド層103aにおいては、その内部に複数の切れ目103bが設けられている。この切れ目103bが存在するために、インダクタ108が発生させた磁界に起因して生じる誘導電流の流れが遮られる。

【0019】

しかしながら、図10のシールド層103aの場合、その外周部には切れ目103bが設けられていない。よって、その四辺を含む外周部は電氣的に接続された状態にあることから、この外周部に沿って誘導電流が流れてしまうという問題もある。

【0020】

一方、上記特許文献2には、多結晶Siよりも低抵抗の金属配線を用いたシールド層を採用する半導体装置に関する記載がある。図11および図12は、この半導体装置を示す上面図および断面図である。なお、図12は、図11中の切断線XII-XIIにおける断面図である。 30

【0021】

図11および図12に示すように、この半導体装置においては、半導体基板200上に形成された層間絶縁膜205a、205b上のうちインダクタ208の直下の部分にシールド層203が形成されている。シールド層203は、多層配線の形成材料たる金属配線を用いて抵抗値の小さな層として形成されている。

【0022】

この半導体装置では、シールド層203の抵抗値が小さいので、図7の等価回路中の寄生容量 C_1 に流れた電流は、半導体基板SUB側にはほとんど流れずに抵抗 R_{SHIELD} 側に流れる。よって、抵抗成分での電力消費による損失は抵抗 R_{SHIELD} の分だけを考慮すればよく、その損失値はシールド層203が設けられない場合に比べて小さくすることができる。 40

【0023】

しかしながらこの半導体装置の場合、シールド層203が多層配線の形成と同時に形成されるので、図12の断面図からも明らかなように、インダクタ208との距離が充分に確保できないという問題がある。そのため、寄生容量 C_1 の値が大きくなり、寄生容量成分での損失が増加してしまう。この損失を低減させるためには、インダクタ208に与えら 50

れる電波の周波数の上限を下げなければならないという問題がある。

【0024】

すなわち、従来の半導体装置においては、上記特許文献1に記載の技術のようにシールド層をMOSトランジスタのゲート電極と同じ材料である多結晶Siで形成した場合は、金属配線層でシールド層を形成した場合に比べて寄生容量を小さくできる反面、金属配線層を用いた場合よりも抵抗成分が大きくなり、この抵抗成分での損失が増加してしまうという問題があった。

【0025】

一方、上記特許文献2に記載の技術のように、シールド層を多層配線と同じ材料である金属で形成した場合には、多結晶Siでシールド層を形成した場合に比べてシールド層の抵抗を小さくできる反面、インダクタとの距離が近いために、インダクタとシールド層との間の寄生容量が増加してしまい、その結果、高い周波数では寄生容量成分での損失が増加してしまうという問題があった。

10

【0026】

そこで、この発明の課題は、インダクターシールド層間の寄生容量を小さくしつつ、シールド層での抵抗値を低く抑えることが可能な半導体装置を提供することにある。

【0027】

【課題を解決するための手段】

請求項1に記載の発明は、主表面を有する半導体基板と、前記半導体基板の前記主表面の上方に形成された配線からなるインダクタと、前記半導体基板と前記インダクタとの間に形成され、その外周部に前記インダクタを横切る少なくとも1つの切れ目が設けられたシールド層と、前記切れ目で区分された前記シールド層の各領域に対応して設けられた複数少なくとも一つの配線とを備え、前記複数少なくとも一つの配線には所定の電位が与えられ、前記少なくとも一つの配線はそれぞれ対応する前記シールド層の各領域に電氣的に接続され、前記少なくとも一つの配線の比抵抗は前記シールド層の比抵抗よりも小さく、前記少なくとも一つの配線は前記シールド層と前記インダクタとの間に配置され、かつ、前記インダクタを横切るよう配置された半導体装置である。

20

【0028】

請求項11に記載の発明は、主表面を有する半導体基板と、前記半導体基板の前記主表面の上方に形成された配線からなるインダクタと、前記半導体基板と前記インダクタとの間に形成され、その外周部に前記インダクタを横切る少なくとも1つの切れ目が設けられた第1シールド層と、前記切れ目内に埋め込まれた絶縁膜と、前記切れ目に対応して前記絶縁膜上に設けられた少なくとも一つの第2シールド層とを備え、前記第1及び第2シールド層は電氣的に接続され、そのいずれにも所定の電位が与えられ、前記インダクタの形成面の平面視において、前記第2シールド層は、前記第1シールド層の前記切れ目を前記インダクタに露出させないように覆う半導体装置である。

30

【0029】

【発明の実施の形態】

<実施の形態1>

本実施の形態は、半導体基板表面上のシールド層とインダクタとの間に、接地電位が与えられた金属配線を設け、この金属配線をシールド層に接続することで、インダクターシールド層間の寄生容量を小さくしつつ、シールド層での抵抗値を低く抑えた半導体装置を実現するものである。

40

【0030】

図1および図2は、本実施の形態に係る半導体装置を示す上面図および断面図である。なお、図2は、図1中の切断線I-Iにおける断面図である。

【0031】

図1および図2に示すように、この半導体装置においては、半導体基板1の主表面内に形成された素子分離領域2上にシールド層3が形成されている。また、半導体基板1の主表面上には、ゲート電極10、ゲート絶縁膜12およびソース/ドレイン領域を有するMO

50

S (Metal Oxide Semiconductor) トランジスタ 9 も形成されている。

【0032】

なお、シールド層 3 とゲート電極 10 とは同じ層に属している。すなわち、フォトリソグラフィ技術やエッチング技術を用いてゲート電極 10 を形成する際にシールド層 3 も同時に形成される。よって、シールド層 3 を構成する導電材料とゲート電極 10 を構成する導電材料とは同じ材質である。ゲート電極 10 およびシールド層 3 を構成する導電材料には例えば Si と W との合金等を採用すればよい。

【0033】

半導体基板 1 の主表面、ゲート電極 10 およびシールド層 3 上には、これらを覆うように層間絶縁膜 11a が形成されている。層間絶縁膜 11a 上には複数の金属配線 5 が形成されている。この金属配線 5 は、層間絶縁膜 11a 内に形成された円柱状のコンタクト配線 4 を介してシールド層 3 に電氣的に接続されている。コンタクト配線 4 および金属配線 5 を構成する金属材料には、例えば Al、W、Cu、Ti もしくはそれらの合金が採用される。なお、金属配線 5 の比抵抗はシールド層 3 の比抵抗よりも小さい。

【0034】

金属配線 5 上には、これを覆うように層間絶縁膜 11b が形成されている。そして、層間絶縁膜 11b 上には金属配線 6 が形成されている。さらに、金属配線 6 上には、これを覆うように層間絶縁膜 11c が形成されている。そして、層間絶縁膜 11c 上にはインダクタ 8 が形成されている。インダクタ 8 上には、これを覆うように層間絶縁膜 11d が形成されている。

【0035】

インダクタ 8 は、半導体基板 1 の主表面の上方に渦巻き状に形成された金属配線からなっており、この渦巻きの中央部 20 にはインダクタ 8 の金属配線は設けられてはいない。なお、図 1 では渦巻きの例として四角形の場合を示し、巻き数が 2 の場合を示しているが、インダクタ 8 の径 (図 1 では例えば渦巻きの外形、ここでは四角形に内接する円の直径) は 50 ~ 500 [μm] 程度である。インダクタ 8 の径および巻き数は所望するインダクタンスの値に応じて選択される。また、渦巻きの形状についても、N 角形 ($N \geq 3$) や角のない螺旋形状であってもよい。一般に知られているように、インダクタの形状としては円形に近い方がより低損失となり望ましい。

【0036】

インダクタ 8 を構成する金属配線には例えば Al、Cu あるいはそれらを含む合金が採用される。また、インダクタ 8 の渦巻きの内側における端部は、層間絶縁膜 11c 内に形成された円柱状のコンタクト配線 7 を介して金属配線 6 に電氣的に接続されている。金属配線 6 はインダクタ 8 の引き出し配線として機能する。

【0037】

渦巻きの中央部 20 下にはシールド層 3 は設けられていない。また、シールド層 3 の外周部には、インダクタ 8 を横切る (好ましくは直交する) 複数の切れ目 21 が設けられている。なお本実施の形態では、切れ目 21 が中央部 20 にまで達しており、シールド層 3 が、インダクタ 8 を横切る複数の四角形の領域の集合で構成された形となっている。しかし、切れ目 21 は必ずしもシールド層 3 を完全に個別の領域に分離する必要はなく、インダクタ 8 の直下以外の部分で切れ目 21 が終端していてもよい。

【0038】

また、複数の金属配線 5 もインダクタ 8 を横切る (好ましくは直交する) よう配置されている。金属配線 5 のそれぞれは、切れ目 21 で区分されたシールド層 3 の各領域に対応して設けられている。金属配線 5 は、それぞれ対応するシールド層 3 の各領域にコンタクト配線 4 を介して電氣的に接続される。

【0039】

各金属配線 5 は渦巻きの中央部 20 下にまで延在し、中央部 20 下において互いに接続されている。なお、中央部 20 下での各金属配線 5 の幅は、インダクタ 8 下での金属配線 5

の幅よりも太い。また、複数の金属配線 5 のうち一部が引き出し配線 30 としてインダクタ 8 の外側に引き出され、引き出し配線 30 に接地電位 GND が与えられる。

【0040】

なお、金属配線 5 の配線幅は、例えばコンタクト配線 4 の直径が 0.2 [μm] であれば、細い部分で 0.3 [μm]、太い部分で 0.6 [μm] 程度とすればよい。

【0041】

さて、図 3 は本実施の形態に係る半導体装置の各部の抵抗および寄生容量を示す図である。この図 3 を用いて、本実施の形態に係る半導体装置における寄生容量および抵抗での損失の低減について説明する。

【0042】

インダクタ 8 とその下のシールド層 3 との間の寄生容量 41 を介してシールド層 3 に流れる電流は、最も近い位置にあるコンタクト配線 4 を経てその上の金属配線 5 へと流れ、引き出し線 30 を介して接地電位 GND へと至る。なお、シールド層 3 は半導体基板 1 の直上に形成されているので、シールド層 3 をインダクタ 8 から遠い位置に配置でき、寄生容量 41 の値をさほど大きくすることはない。

【0043】

この電流経路のうちでは、金属配線 5 およびコンタクト配線 4 が同材料で形成されており、また、金属配線 5 の比抵抗がシールド層 3 の比抵抗よりも小さいことから、シールド層 3 が最も高抵抗な材質となる。しかし、前述のようにシールド層 3 の材料に例えば Si と W との合金等を採用すれば、その抵抗値を低く抑えることが可能となる。

【0044】

また、切れ目 21 で区分されたシールド層 3 の各領域に金属配線 5 およびコンタクト配線 4 が設けられていることから、寄生容量 41 を介してシールド層 3 に流れる電流がコンタクト配線 4 まで到達する距離を短くすることができ、その経路での抵抗 42 を低く抑えることができる。

【0045】

また、インダクタ 8 と最も近い距離にある金属配線 5 については、前述のようにインダクタ 8 下ではその配線幅を細くしている。よって、インダクタ 8 と金属配線 5 との間の対向面積を減少させて、両者の間の寄生容量 43 を小さく抑えることができる。

【0046】

上記特許文献 1 に記載の技術では、本実施の形態における複数の金属配線 5 のような存在が無く、抵抗の大きなシールド層を流れる電流の経路が長くなり、その抵抗での損失が大きかった。また、上記特許文献 2 に記載の技術では、シールド層が多層配線層の位置に形成されていたため、両者の距離が近くなり、インダクタとシールド層との間の寄生容量が大きかった。

【0047】

一方、本実施の形態にかかる半導体装置によれば、これらの問題は回避され、シールド層 3 における抵抗 42 を低く抑え、寄生容量 41、43 についても小さくすることができ、損失を低く抑えることが可能となる。

【0048】

すなわち、本実施の形態にかかる半導体装置によれば、金属配線 5 の比抵抗はシールド層 3 の比抵抗よりも小さく、複数の金属配線 5 はいずれもシールド層 3 とインダクタ 8 との間に配置され、かつ、インダクタ 8 を横切るよう配置されている。よって、インダクタ 8 とシールド層 3 との間の距離を大きくとってインダクタ 8 - シールド層 3 間の寄生容量を小さくしつつ、インダクタ 8 から半導体基板 1 に流れようとする寄生電流を、シールド層 3 および金属配線 5 を介することによりシールド層 3 の抵抗値を低く抑えながら接地電位 GND の方へとトラップすることが可能となる。

【0049】

また、金属配線 5 は、シールド層 3 よりもインダクタ 8 に近いがインダクタ 8 を横切るよう配置されているので、金属配線 5 とインダクタ 8 との間の対向面積を抑制して両者の間

30

20

30

40

50

の寄生容量 43 の増大を抑制することができる。

【0050】

さらに、シールド層 3 の外周部には、インダクタ 8 を横切る切れ目 21 が設けられている。図 10 のシールド層のように外周部に切れ目が設けられていなければ、外周部に沿ってインダクタ 8 によりシールド層 3 に誘起される電流が流れてしまうが、本実施の形態のようにシールド層の外周部に切れ目が設けられておれば、インダクタ 8 による誘導電流を遮ることができる。

【0051】

また、本実施の形態にかかる半導体装置によれば、シールド層 3 は素子分離領域 2 上に形成されている。よって、シールド層 3 と半導体基板 1 との間に絶縁層を挟むことができ、シールド層 3 と半導体基板 1 との間の寄生容量（図 7 中の寄生容量 C_2 ）を低減することができる。

【0052】

さらに、本実施の形態にかかる半導体装置によれば、シールド層 3 と MOS トランジスタ 9 のゲート電極 10 とは同じ材質である。よって、フォトリソグラフィ技術やエッチング技術を用いてゲート電極 10 を形成する際にシールド層 3 を同時に形成することが可能であり、シールド層形成のための特別な工程を追加する必要がない。また、シールド層 3 を半導体基板 1 の直上のゲート電極 10 形成層に形成できるので、インダクタ 8 とシールド層 3 との間の距離を大きくとってインダクターシールド層間の寄生容量を小さくすることができる。

【0053】

また、本実施の形態にかかる半導体装置によれば、渦巻きの中央部 20 にはインダクタ 8 の配線は設けられず、中央部 20 下にはシールド層 3 が設けられない。よって、インダクタ 8 を必要な巻き数に形成することが可能であり、かつ、シールド層 3 を必要な領域にのみ形成して、シールド層 3 とインダクタ 8 との間の寄生容量およびシールド層 3 と半導体基板 1 との間の寄生容量の増大を抑制することが可能である。

【0054】

さらに、本実施の形態にかかる半導体装置によれば、渦巻きの中央部 20 下での金属配線 5 の幅は、インダクタ 8 下での金属配線 5 の幅よりも太い。よって、インダクタ 8 下での金属配線 5 の幅を細くして金属配線 5 とインダクタ 8 との間の寄生容量の増大を抑制しつつ、渦巻きの中央部 20 下での金属配線 5 の幅を太くして金属配線 5 の抵抗値を低減することができる。

【0055】

また、本実施の形態にかかる半導体装置によれば、渦巻きの中央部 20 下において複数の金属配線 5 は互いに接続されている。

【0056】

仮に複数の金属配線 5 がシールド層 3 の外周部に沿って互いに接続されている場合を考えると、インダクタ 8 に電流が流れたときに金属配線 5 の外周部にその電流と反対の向きの誘導電流が発生する。この誘導電流により発生する磁束は、インダクタ 8 に流れる電流が生成する磁束を弱めてしまい、インダクタ 8 のインダクタンスの値を見かけ上、低下させてしまうことになる。

【0057】

一方、中央部 20 下において複数の金属配線 5 が接続されておれば、金属配線 5 の外周部において誘導電流の発生が遮られるのでインダクタンスの値を低下させることはない。

【0058】

よって、複数の金属配線 5 がシールド層 3 の外周部に沿って互いに接続されている場合と異なり、インダクタ 8 により複数の金属配線 5 に誘起される電流を遮ることができる。

【0059】

<実施の形態 2>

本実施の形態は、実施の形態 1 に係る半導体装置の変形例であって、インダクタ 8 の金属

10

20

30

40

50

配線の渦巻きを中央部にまで延在させたものである。

【0060】

図4および図5は、本実施の形態に係る半導体装置を示す上面図および断面図である。なお、図5は、図4中の切断線V-Vにおける断面図である。また、図4および図5では実施の形態1に係る半導体装置と同様の機能を有する要素については同一符号を付している。

【0061】

図4および図5に示すようにこの半導体装置においては、インダクタ8の金属配線の渦巻きを中央部にまで延在させ、中央部には空隙を設けていない。この場合は、シールド層3も中央部にまで設けられる。

10

【0062】

インダクタ8の金属配線の渦巻きを中央部にまで延在させれば、インダクタ8の線長を長くし、巻き数を多くすることができるので、インダクタンスの値をより高めることが可能となる。

【0063】

ただし、シールド層3も中央部にまで設ける必要が生じるため、シールド層3下の素子分離領域2を広範囲に形成しなければならない。素子分離領域2が存在しないと、シールド層3と半導体基板1との間の寄生容量が大きくなってしまうからである。

【0064】

さて、素子分離領域2は、例えばトレンチを半導体基板1上に形成してその内部に絶縁膜（例えばシリコン酸化膜）を充填し、半導体基板1の表面より上側の絶縁膜を除去して平坦化することで形成される。その表面の平坦化のためにCMP（Chemical Mechanical Polishing）プロセスが採用されることが多い。

20

【0065】

ところが、素子分離領域2が広い範囲に亘る場合、CMPプロセスに起因して素子分離領域2の中央部にディッシング等が生じ、素子分離領域2を設計どおりに形成できない場合がある。すなわち、素子分離領域2を広い範囲に亘って形成するのは困難である。

【0066】

上述のようにインダクタ8の径は50～500[μm]であり、シールド層3も同様の大きさの範囲まで設けられる。よって、素子分離領域2についても同様に、広い範囲まで設けられる必要がある。

30

【0067】

そこで、本実施の形態においては、図5に示すようにシールド層3下の素子分離領域2を互いに離隔した複数の部分領域に区分して（例えば50[μm]ごとに区切って）形成する。これにより、シールド層3下の素子分離領域2を広大な範囲に設けたい場合であっても、素子分離領域2の形成工程でCMPによる平坦化を行う際に、プロセス安定性を向上させることができる。その結果、製品間でのばらつきを抑制しつつシールド層3を安定して形成することが可能となる。

【0068】

なお、このようにすると、半導体基板1の主表面のうち、素子分離領域2の複数の部分領域間の区切れ目部分には素子分離領域2が設けられないことになってしまう。そこで、本実施の形態においてはその区切れ目部分に絶縁膜22、23を形成する。これにより、素子分離領域2の区切れ目部分においても、シールド層3と半導体基板1との間に絶縁層を挟むことができる。

40

【0069】

なお、絶縁膜22、23は、MOSトランジスタ9のゲート絶縁膜12を例えば熱酸化法等で形成する場合にそれと同時に形成すればよい。そうすれば、フォトリソグラフィ技術等を用いてゲート絶縁膜12を形成する際に素子分離領域2の区切れ目部分上に絶縁膜22、23を同時に形成することが可能であり、絶縁膜22、23の形成のための特別な工程を追加する必要がない。

50

【0070】

なお、ゲート絶縁膜12の膜厚は、素子分離領域2の膜厚よりもかなり小さいのが一般的である。よって、絶縁膜22、23の部分でのシールド層3と半導体基板1との間の寄生容量の値は大きくなってしまふのはやむを得ない。

【0071】

しかし、例えばMOSトランジスタ9が複数、半導体基板1上に形成され、各MOSトランジスタ間でゲート絶縁膜12の厚さが異なるのであれば、そのゲート絶縁膜のうち最も厚いものと同じ厚さで絶縁膜22、23を形成すればよい。そうすれば、絶縁膜22、23を厚く形成してシールド層3と半導体基板1との間の寄生容量を低減することができる。

10

【0072】

その他の構成は実施の形態1に係る半導体装置と同様のため、説明を省略する。

【0073】

<実施の形態3>

本実施の形態は、実施の形態1に係る半導体装置の変形例であって、シールド層の切れ目をインダクタに露出させないように金属配線に覆わせたものである。

【0074】

図13ないし図15は、本実施の形態に係る半導体装置を示す上面図、斜視図および断面図である。なお、図15は、図13中の切断線XV-XVにおける断面図である。また、図13ないし図15では実施の形態1に係る半導体装置と同様の機能を有する要素については同一符号を付している。

20

【0075】

図13ないし図15に示すようにこの半導体装置においては、シールド層が3a~3hの各部に分割されており、インダクタ8形成面の平面視において、その相互間の切れ目21をインダクタ8に露出させないように、シールド層3a~3hに対応する金属配線5に覆わしている。なお、金属配線5と各シールド層3a~3hとは、コンタクト配線4a~4hでそれぞれ接続されている。

【0076】

各金属配線5は、切れ目21を覆うだけでなく、その両側のシールド層（例えば3f及び3g）の切れ目近傍の表面をも覆う。そして、切れ目21を挟む一方のシールド層（例えば3g）と金属配線5との重なり部分においてコンタクト配線（例えば4g）が設けられる。このコンタクト配線4a~4hで結ばれているシールド層3a~3hと各金属配線5とが、それぞれ対応している。

30

【0077】

各金属配線5は渦巻きの中央部下にまで延在し、中央部下において互いに接続されている。なお、複数の金属配線5のうち一部が引き出し配線30としてインダクタ8の外側に引き出され、引き出し配線30に接地電位GNDが与えられる。

【0078】

また、渦巻きの中央部下において複数の金属配線5が接続されておれば、金属配線5の外周部において誘導電流の発生が遮られるのでインダクタンスの値を低下させることはない。よって、複数の金属配線5がシールド層3の外周部に沿って互いに接続されている場合と異なり、インダクタ8により複数の金属配線5に誘起される電流を遮ることができる。

40

【0079】

なお、シールド層3a~3hを分割しているのも、インダクタ8に電流が流れたときにシールド層の外周部にその電流と反対の向きの誘導電流が発生するのを防ぐためである。

【0080】

図1や図4の場合のように、シールド層3の切れ目21がインダクタ8に露出しておれば、インダクタ8に流れる高周波信号が寄生電流としてシールド層3の切れ目21を経て半導体基板1へと漏れる可能性がある。このような寄生電流が発生すると、半導体基板を経て他のインダクタや基板上の配線等に高周波信号が伝播し、クロストークが生じる可能性

50

がある。

【0081】

例えば上記特許文献3には、シールド層の切れ目内の半導体基板上に新たにシールドパターンを設けて寄生電流の漏れを防ぐ技術が示されている。しかし、この技術ではサイドウォールの幅の分だけ切れ目内にシールドパターンの未形成領域が残り、不十分なシールド効果しか得られない。

【0082】

本実施の形態においては、各シールド層3a～3hの切れ目21を金属配線5に完全に覆わせており、シールド効果が高い。このことを図16～図19を用いて説明する。

【0083】

図16は、金属配線5がシールド層3a、3b間の切れ目21を覆わない場合の寄生電流LK_aを示した図である。図16に示すように、切れ目21がインダクタ8に露出していると、インダクタ8と半導体基板1とが最短距離となるインダクタ8の鉛直直下方向に寄生電流LK_aが流れることとなる。

【0084】

一方、図17は、金属配線5がシールド層3a、3b間の切れ目21を覆う場合を示した図である。金属配線5が切れ目21を覆うので、図16に示したようなインダクタ8の鉛直直下方向の寄生電流LK_aは、金属配線5に捕らえられる。ここで、金属配線5とシールド層3a、3bとが重なり合う幅をL₁、シールド層3a、3b間の切れ目21の幅をL₂、シールド層3a、3bの厚さをL₃、金属配線5とシールド層3a、3bとの距離をL₄とする。

【0085】

図18は、インダクタ8からシールド層3a、3b間の切れ目21へと、斜めに流れ込む寄生電流LK_bを示した図である。

【0086】

インダクタ8からシールド層3a、3b間の切れ目21へと流れ込む寄生電流には、寄生電流LK_aのような鉛直直下方向のものだけでなく、寄生電流LK_bのような斜め方向のものも含まれる。よって、このような斜め方向の寄生電流の半導体基板1への流入を防ぐためには、図17中のL₁～L₄の各値を適切に設定する必要がある。

【0087】

斜め方向の寄生電流LK_bを防ぐためには、例えば金属配線5とシールド層3a、3bとが重なり合う幅L₁を大きくとればよい。そうすれば、図19に示すように、切れ目21に寄生電流LK_cが入射してもシールド層3bに吸収され、半導体基板1には到達しない。この他にも、切れ目21の幅L₂を小さくする、シールド層3a、3bの厚さL₃を厚くする、金属配線5とシールド層3a、3bとの距離L₄を短くする、等を行って斜め方向の寄生電流の半導体基板1への流入を防ぐことができる。

【0088】

なお、斜め方向の寄生電流流入防止のためには、金属配線5とシールド層3a、3bとが重なり合う幅L₁を大きくすればよいが、重なり幅L₁を大きくすることは、シールド層3a～3hと金属配線5との対向面積を増大させることにもなる。すると、シールド層3a～3hと金属配線5との間の寄生容量が大きくなり、このスパイラルインダクタの使用可能周波数が低くなってしまうという問題がある。寄生容量が大きいと、高周波電流はスパイラルインダクタの巻き線流れずに、寄生容量を経由してシールド層3a～3hへと流れてしまうからである。

【0089】

よって、それらの事情を考慮して、L₁～L₄の各値を決定すればよい。例えば、L₁、L₂、L₄の各値が既定であって、図19に示すように、寄生電流LK_cがシールド層3bに吸収されるようにL₃の値を決定したい場合、次のようにすればよい。

【0090】

すなわち、寄生電流LK_cの到達位置のシールド層3b表面からの深さをXとすれば、X

10

20

30

40

50

： $L2 = L4 : L1$ であり、また、 $X \leq L3$ でなければならない。この二式より、 $L3 \geq L2 \times L4 / L1$ として $L3$ を決定することができる。

【0091】

本実施の形態にかかる半導体装置を用いれば、インダクタ8の形成面の平面視において、金属配線5は、対応するシールド層3a～3hの切れ目21をインダクタ8に露出させないように覆う。よって、インダクタ8からシールド層3a～3hの切れ目21へと向かう寄生電流を金属配線5で捕らえることが可能となり、シールド効果が高まる。これにより、クロストークが生じにくくなる。

【0092】

また、本実施の形態では、シールド層3a～3hをインダクタ8の巻き線の直下近傍のみに配置している。これにより、シールド層3a～3hの面積が抑制され、シールド層3a～3hと半導体基板1との間の寄生容量が低減する。よって、寄生容量に起因するスパイラルインダクタの特性劣化を抑えることができる。この効果は、スパイラルインダクタの直径が大きく、巻き数が少ない場合に特に顕著となる。

【0093】

また、本実施の形態においても、シールド層3a～3hをMOSトランジスタのゲート電極形成と同時に形成すればよい。そして、金属配線5も多層配線の一つと同時に形成し、コンタクト配線4a～4hも、多層配線とMOSトランジスタのゲート電極とを結ぶコンタクトと同時に形成すればよい。従って、このシールドを設けるにあたり特別な製造工程を要することなく、即ち製造コストの上昇を伴わずに、よりシールド効果の高いスパイラルインダクタを得られる。

【0094】

なお、本実施の形態では四角形のスパイラルインダクタにシールドを設ける場合を説明したが、スパイラルインダクタの形状が五角形以上や円、楕円等であっても、同様の構成のシールドを設ければよい。その場合も同様の効果を奏する。

【0095】

また、図13ないし図15においては、各金属配線5をインダクタ8の渦巻き中央部下に接続していたが、図20に示すように、各金属配線5を渦巻きの外周部下に延在させて、その近傍において接続部5aにより互いに接続させてもよい。ただし、接続部5aには、少なくとも一箇所の途切れ目5bが存在する。

【0096】

こうすれば、金属配線5がシールド層3a～3hの外周部に沿って互いに接続されていても、途切れ目5bが存在するのでインダクタ8により金属配線5の接続部5aに誘起される電流を遮ることができる。

【0097】

<実施の形態4>

本実施の形態は、実施の形態3に係る半導体装置の変形例であって、シールド層の切れ目内に絶縁膜を埋め込み、その絶縁膜上に第2シールド層を設け、この第2シールド層に切れ目を覆わせたものである。

【0098】

図21及び図22は、本実施の形態に係る半導体装置を示す上面図および断面図である。なお、図22は、図21中の切断線XXII-XXIIにおける断面図である。また、図21及び図22では実施の形態1に係る半導体装置と同様の機能を有する要素については同一符号を付している。

【0099】

本実施の形態においては、多層配線と同材質の金属配線を設けるのではなく、半導体基板1上のキャパシタ15のキャパシタ上部電極18と同材質で第2シールド層5を設ける。なお、下層のシールド層3については以降、第1シールド層と称する。

【0100】

本実施の形態では、切れ目21が第1シールド層3の中央部にまで達しており、そこから

第1シールド層3の外周方向に向かって上下左右各方向に延在している。

【0101】

また、第1シールド層3の切れ目21内には絶縁膜13が埋め込まれる。そして、第2シールド層5は、絶縁膜13上に形成され、インダクタ8の形成面の平面視において、切れ目21をインダクタ8に露出させないように覆う。具体的には、第2シールド層5は、切れ目21を覆うだけでなく、その両側の第1シールド層3の切れ目近傍の表面をも覆う。

【0102】

図22に示すように、キャパシタ15は半導体基板1上に形成されている。キャパシタ15は、キャパシタ下部電極16、キャパシタ用誘電体膜17及びキャパシタ上部電極18がこの順に積層されて形成されている。

10

【0103】

キャパシタ下部電極16及びキャパシタ上部電極18は、例えば多結晶シリコン、アモルファスシリコン若しくは単結晶シリコンで構成される。あるいは、それらの積層膜であってもよいし、表面に金属シリサイドが形成されていてもよい。また、キャパシタ用誘電体膜17には例えばシリコン窒化膜やシリコン酸化膜を採用すればよい。キャパシタ用誘電体膜17の膜厚は例えば0.1[μm]程度とすればよい。

【0104】

なお、第1シールド層3とキャパシタ下部電極16とは同じ層に属している。すなわち、フォトリソグラフィ技術やエッチング技術を用いてキャパシタ下部電極16を形成する際に第1シールド層3も同時に形成される。よって、第1シールド層3を構成する導電材料とキャパシタ下部電極16を構成する導電材料とは同じ材質である。

20

【0105】

同様に、絶縁膜13及びキャパシタ用誘電体膜17も同時に形成されて同じ材質となり、第2シールド層5及びキャパシタ上部電極18も同時に形成されて同じ材質となる。

【0106】

なお、半導体基板1上には、図2に示したMOSトランジスタ9を形成してもよい。この場合、ゲート電極10と、キャパシタ下部電極16及びキャパシタ上部電極18のいずれかとを、同時に形成すればよい。

【0107】

第1及び第2シールド層3、5は、コンタクト配線4i、4j及び接地引き出し配線14を介して電氣的に接続され、そのいずれにも接地電位GNDが与えられる。なお、第1シールド層3とコンタクト配線4jとを電氣的に接続するために、コンタクト配線4jの近傍では絶縁膜13が取り除かれている。

30

【0108】

本実施の形態に係る半導体装置によれば、インダクタ8の形成面の平面視において、第2シールド層5は、第1シールド層3の切れ目21をインダクタ8に露出させないように覆う。よって、インダクタ8から第1シールド層3の切れ目21へと向かう寄生電流を第2シールド層5で捕らえることが可能となり、シールド効果が高まる。これにより、クロストークが生じにくくなる。

【0109】

また、第1シールド層3とキャパシタ下部電極16と、及び、絶縁膜13とキャパシタ用誘電体膜17と、及び、第2シールド層5とキャパシタ上部電極18とは、それぞれ同じ材質である。よって、フォトリソグラフィ技術やエッチング技術を用いてキャパシタを形成する際に、第1及び第2シールド層3、5並びに絶縁膜13を同時に形成することが可能であり、第1及び第2シールド層3、5形成のための特別な工程を追加する必要がない。また、第1及び第2シールド層3、5を半導体基板1の直上のキャパシタ15の形成層に形成できるので、インダクタ8と第1及び第2シールド層3、5との間の距離を大きくとってインダクターシールド層間の寄生容量を小さくすることができる。

40

【0110】

また、実施の形態1の場合と同様、第1シールド層3は素子分離領域2上に形成されてい

50

る。よって、第1シールド層3と半導体基板1との間に絶縁層を挟むことができ、第1シールド層3と半導体基板1との間の寄生容量を低減することができる。

【0111】

図23及び図24は、本実施の形態に係る半導体装置の変形例及び他の変形例を示す上面図である。なお、図23及び図24においては、第1シールド層3に複数の切れ目21が設けられており、各切れ目に対応して複数の第2シールド層5が設けられている。

【0112】

図23においては図20の場合と同様、各第2シールド層5をインダクタ8の渦巻きの外周部に延在させて、その近傍において接続部5aにより互いに接続させている。ただし、接続部5aには、少なくとも一箇所の途切れ目5bが存在する。

10

【0113】

この場合、第2シールド層5が第1シールド層3の外周部に沿って互いに接続されていても、途切れ目5bが存在するのでインダクタ8により第2シールド層5の接続部5aに誘起される電流を遮ることができる。

【0114】

一方、図24においては図13の場合と同様、各第2シールド層5をインダクタ8の渦巻きの中央部において互いに接続している。

【0115】

この場合も、インダクタ8により各第2シールド層5に誘起される電流を遮ることができる。

20

【0116】

また、図25及び図26は、本実施の形態に係る半導体装置の更なる他の変形例を示す上面図及び断面図である。なお、図25及び図26においては、第1シールド層が3a～3hの各部に分割されており、各第2シールド層5はインダクタ8の渦巻きの中央部において互いに接続されている。

【0117】

図25及び図26においては、各第2シールド層5にコンタクト部5cが設けられ、このコンタクト部5c下の絶縁膜13に各開口部3a1～3h1が設けられている。そして、各コンタクト部5cは開口部3a1～3h1を介して、対応する第1シールド層3a～3hにそれぞれ接続されている。

30

【0118】

第2シールド層5には、接地引き出し配線14及びコンタクト配線4iを介して接地電位GNDが与えられるので、コンタクト部5cを介して第1シールド層3a～3hにも接地電位GNDが伝播する。

【0119】

コンタクト部5cの面積は、図21のコンタクト配線4jなどに比べて大きくすることができるので、第1シールド層3a～3hと第2シールド層5との間の寄生抵抗を低減できる。

【0120】

【発明の効果】

40

請求項1に記載の発明によれば、少なくとも一つの配線の比抵抗はシールド層の比抵抗よりも小さく、少なくとも一つの配線はシールド層とインダクタとの間に配置され、かつ、インダクタを横切るよう配置されている。よって、インダクタとシールド層との間の距離を大きくとってインダクターシールド層間の寄生容量を小さくしつつ、インダクタから半導体基板に流れようとする寄生電流を、シールド層および少なくとも一つの配線を介することによりシールド層の抵抗値を低く抑えながら所定の電位の方へとトラップすることが可能となる。また、少なくとも一つの配線は、シールド層よりもインダクタに近いがインダクタを横切るよう配置されているので、少なくとも一つの配線とインダクタとの間の対向面積を抑制して両者の間の寄生容量の増大を抑制することができる。さらに、シールド層の外周部にはインダクタを横切る少なくとも1つの切れ目が設けられているので、イン

50

ダクタによりシールド層に誘起される電流を遮ることができる。

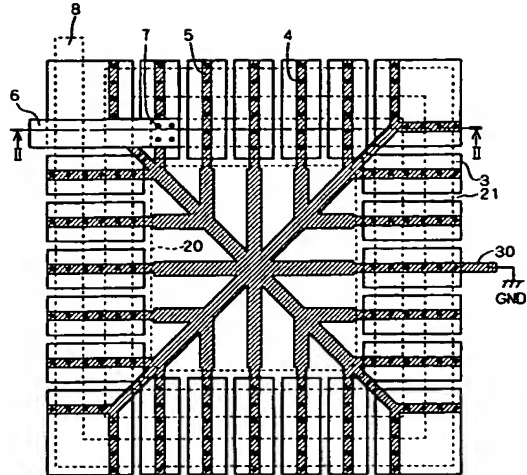
【0121】

請求項11に記載の発明によれば、インダクタの形成面の平面視において、第2シールド層は、第1シールド層の切れ目をインダクタに露出させないように覆う。よって、インダクタから第1シールド層の切れ目へと向かう寄生電流を第2シールド層で捕らえることが可能となり、シールド効果が高まる。これにより、クロストークが生じにくくなる。

【図面の簡単な説明】

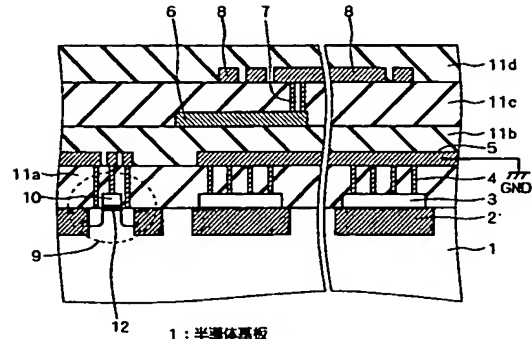
- 【図1】実施の形態1に係る半導体装置を示す上面図である。
 - 【図2】実施の形態1に係る半導体装置を示す断面図である。
 - 【図3】実施の形態1に係る半導体装置の各部の抵抗および寄生容量を示す図である。 10
 - 【図4】実施の形態2に係る半導体装置を示す上面図である。
 - 【図5】実施の形態2に係る半導体装置を示す断面図である。
 - 【図6】インダクタを含む半導体装置の等価回路を示す図である。
 - 【図7】シールド層を含む半導体装置の等価回路を示す図である。
 - 【図8】従来の半導体装置を示す上面図である。
 - 【図9】従来の半導体装置を示す断面図である。
 - 【図10】従来の半導体装置のシールド層を示す図である。
 - 【図11】他の従来の半導体装置を示す上面図である。
 - 【図12】他の従来の半導体装置を示す断面図である。
 - 【図13】実施の形態3に係る半導体装置を示す上面図である。 20
 - 【図14】実施の形態3に係る半導体装置を示す斜視図である。
 - 【図15】実施の形態3に係る半導体装置を示す断面図である。
 - 【図16】実施の形態3に係る半導体装置においてインダクタから半導体基板へと流れる寄生電流を説明する図である。
 - 【図17】実施の形態3に係る半導体装置において金属配線5の各部の寸法を示す図である。
 - 【図18】実施の形態3に係る半導体装置において寄生電流が斜め方向から入射する様子
を示す図である。
 - 【図19】実施の形態3に係る半導体装置において寄生電流がシールド層に吸収される様子
を説明する図である。 30
 - 【図20】実施の形態3に係る半導体装置の変形例を示す上面図である。
 - 【図21】実施の形態4に係る半導体装置を示す上面図である。
 - 【図22】実施の形態4に係る半導体装置を示す断面図である。
 - 【図23】実施の形態4に係る半導体装置の変形例を示す上面図である。
 - 【図24】実施の形態4に係る半導体装置の他の変形例を示す上面図である。
 - 【図25】実施の形態4に係る半導体装置の更なる他の変形例を示す上面図である。
 - 【図26】実施の形態4に係る半導体装置の更なる他の変形例を示す断面図である。
- 【符号の説明】
- 1 半導体基板、2 素子分離領域、3, 3a~3h シールド層または第1シールド層、4, 7 コンタクト配線、5, 6 金属配線または第2シールド層、8 インダクタ、 40
9 MOSトランジスタ、10 ゲート電極、11a~11d 層間絶縁膜、12 ゲート絶縁膜、20 渦巻きの中央部、21 切れ目、22, 23 絶縁膜、30 引き出し線。

【図 1】



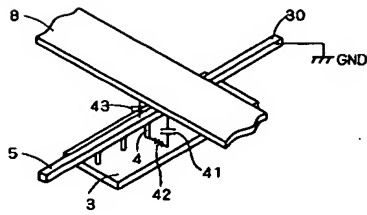
- 3 : シールド
- 4 : コンタクト配線
- 5 : 金属配線
- 6 : 金属配線 (インダクタ引き出し配線)
- 7 : コンタクト配線
- 8 : 金属配線 (インダクタ)
- 20 : 中央部
- 21 : シールドの切れ目

【図 2】

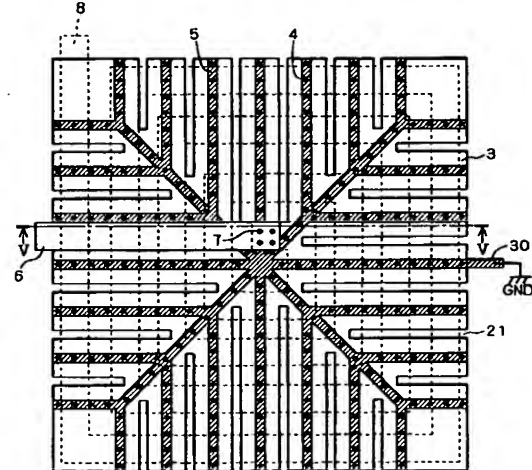


- 1 : 半導体基板
- 2 : 素子分離領域
- 3 : シールド
- 4 : コンタクト配線
- 5 : 金属配線
- 6 : 金属配線 (インダクタ引き出し配線)
- 7 : コンタクト配線
- 8 : 金属配線 (インダクタ)
- 9 : トランジスタ
- 10 : ゲート電極
- 11a ~ 11d : 層間絶縁膜
- 12 : ゲート絶縁膜

【図 3】

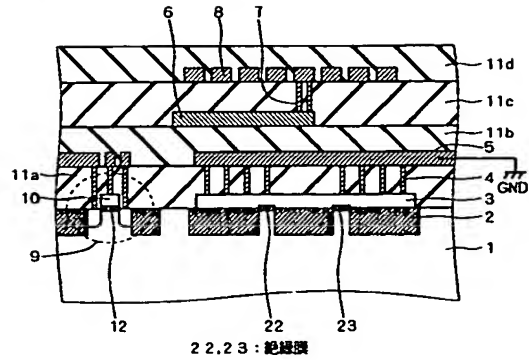


【図 4】

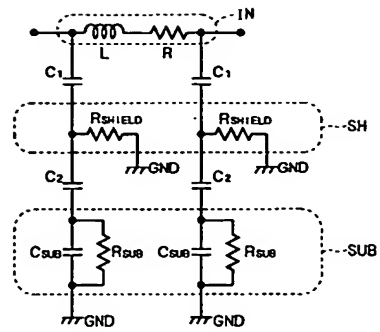


- 3 : シールド
- 4 : コンタクト配線
- 5 : 金属配線
- 6 : 金属配線 (インダクタ引き出し配線)
- 7 : コンタクト配線
- 8 : 金属配線 (インダクタ)
- 21 : シールドの切れ目

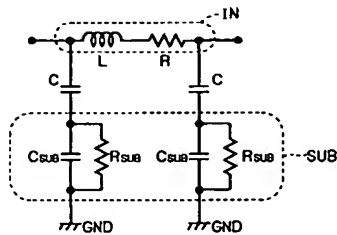
【図 5】



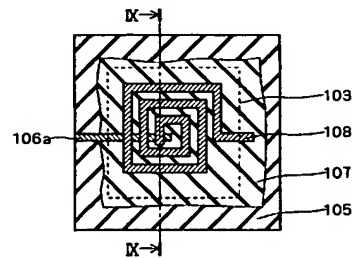
【図 7】



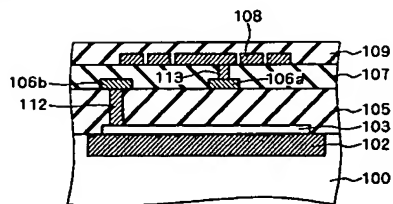
【図 6】



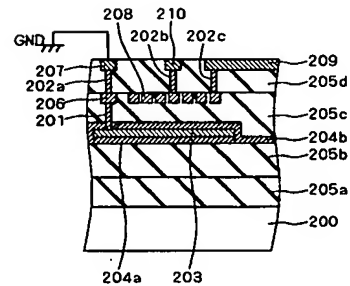
【図 8】



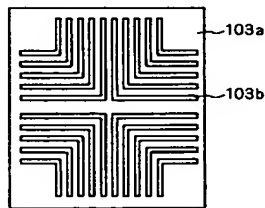
【図 9】



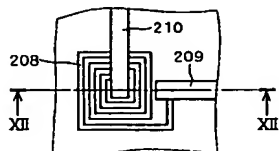
【図 12】



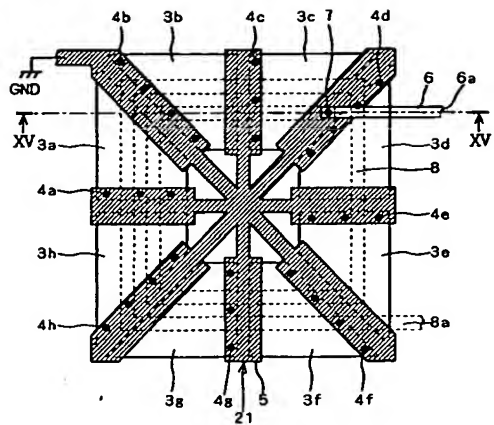
【図 10】



【図 11】

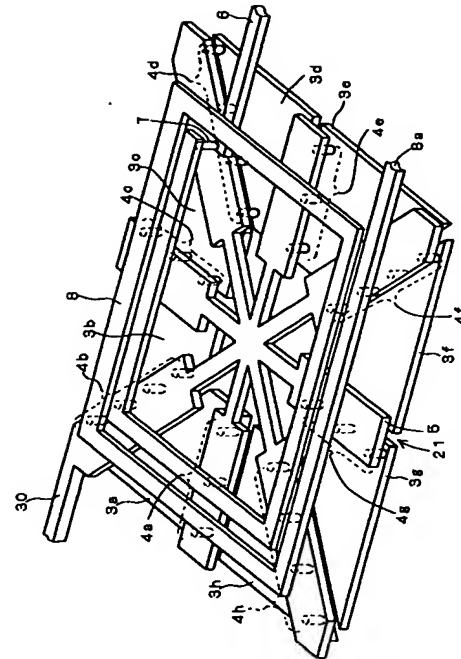


【図 13】

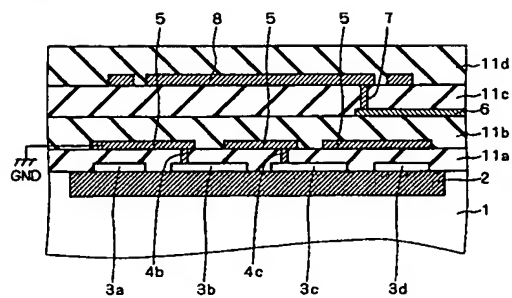


3a~3h: シールド
 5: 金属配線
 4a~4h: コンタクト配線
 6: 金属配線 (インダクタ引き出し配線)
 7: コンタクト配線
 8: 金属配線 (インダクタ)
 21: シールドの切れ目

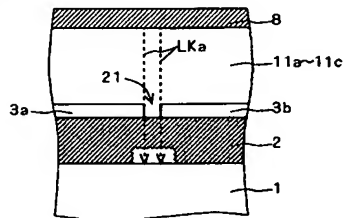
【図 14】



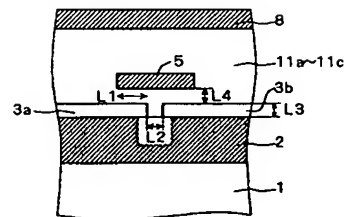
【図 15】



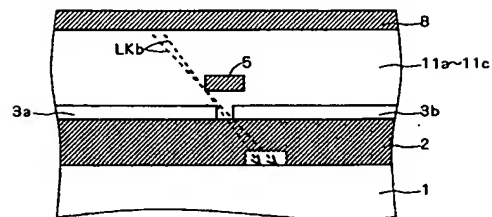
【図 16】



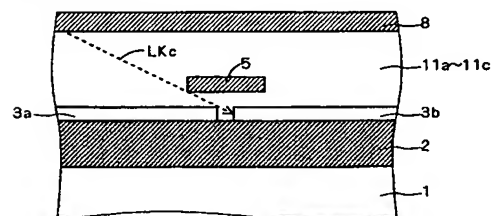
【図 17】



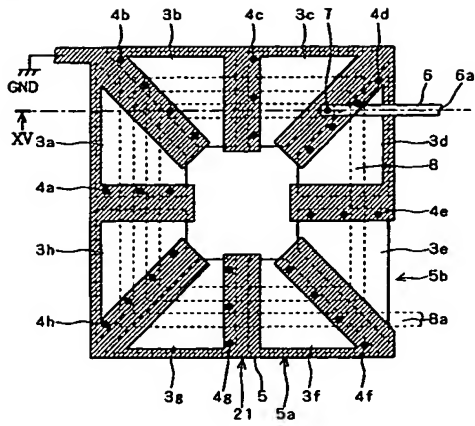
【図 18】



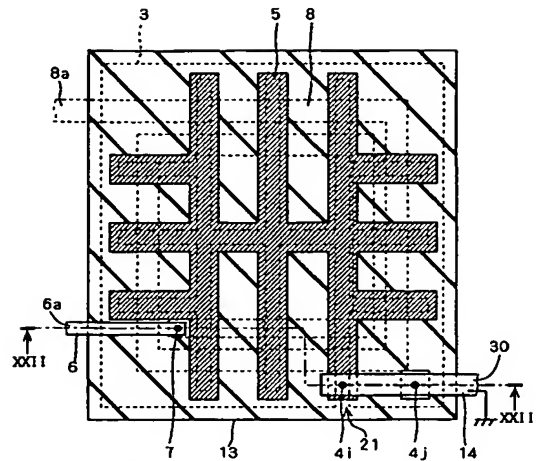
【図 19】



【図20】

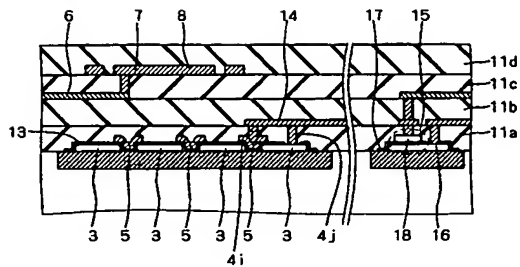


【図21】



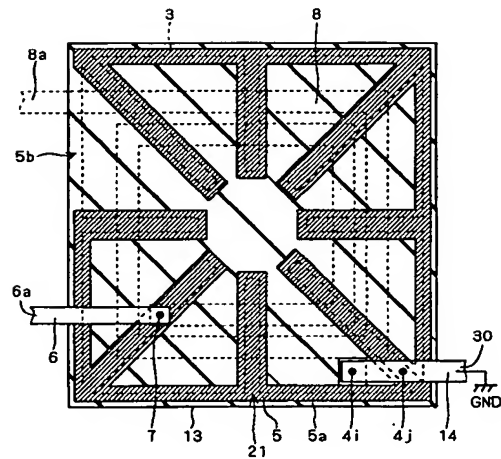
3: 第1シールド 13: 絶縁膜
5: 第2シールド 14: 接地引き出し配線

【図22】

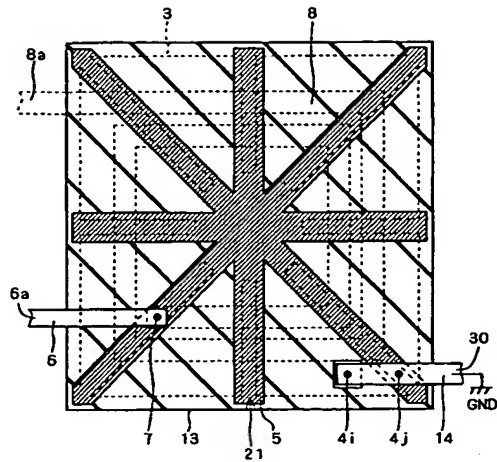


1: 半導体基板
2: 素子分離領域
3: 第一のシールド
4i, 4j: コンタクト配線
5: 第二のシールド
6: 金属配線 (インダクタ引き出し配線)
7: コンタクト配線
8: 金属配線 (インダクタ)
13: 絶縁膜
14: 接地引き出し配線
15: キャパシタ
16: キャパシタ下部電極
17: 絶縁膜 (キャパシタ用誘電体膜)
18: キャパシタ上部電極

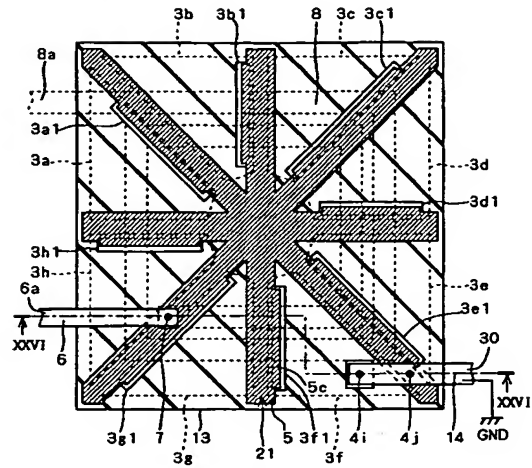
【図23】



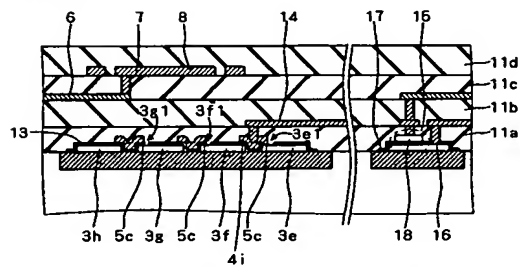
【図 24】



【図 25】



【図 26】



3a1~3h1: 開口部 5c: コンタクト部

フロントページの続き

(51)Int. Cl. ⁷

F I

テーマコード (参考)

H O I L 27/06

(72)発明者 山川 聡

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5E070 AA01 AB02 AB07 CB12

5F033 HH08 HH11 HH18 HH19 JJ08 JJ11 JJ18 JJ19 KK07 KK28

MM21 VV03 VV05 VV06 VV08 VV10 XX23 XX24

5F038 AV06 AZ04 BH10 BH18 EZ20

5F048 AA04 AA07 AC01 AC10 BB05 BB09 BB16 BF02 BF03 BF07

BF12 BG01 BG13

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.